

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLÉGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Original document

SEMICONDUCTOR DEVICE

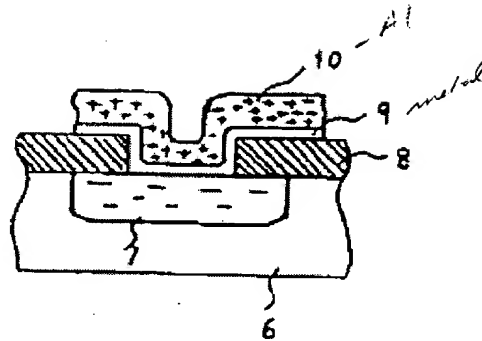
Patent number: JP1042857 Sho 64-042857
Publication date: 1989-02-15
Inventor: KANO TOSHIO
Applicant: SEIKO EPSON CORP
Classification:
- international: H01L29/46; H01L21/88; H01L21/90
- european:
Application number: JP19870200270 19870811
Priority number(s):

[View INPADOC patent family](#)

Abstract of JP1042857

PURPOSE: To prevent an electrode wiring material and a semiconductor substrate from reacting with each other even in the least even though a high-temperature heat treatment is performed by a method wherein the same metal as a metal constituting a barrier metal is contained in the electrode wiring material containing Al as its main component in a concentration within a solid-solution limit or thereabouts.

CONSTITUTION: The same high-melting point metal as a barrier metal 9, consisting of one layer, two layers or more of a high-melting point metal, which is formed at a contact aperture part, of Cr, Mo, W, V, Nb, Ta, Ti, Zr, Hf and the like or their compounds, their silicide film or nitride film and so on is contained in the material of an electrode wiring 10 containing Al as its main component in a concentration within a solid-solution limit or thereabouts. In such a way, as the component of the same metal as the barrier metal 9 formed just under the Al wiring is contained in a concentration within a solid-solution limit or thereabouts, the metallic component of the barrier metal 9 is stopped from being solid-solubilized in the Al by a heat treatment in the middle of a process.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-42857

⑬ Int. Cl.⁴

H 01 L 29/46
21/88
21/90
29/46

識別記号

庁内整理番号

R-7638-5F
N-6708-5F
C-6708-5F
L-7638-5F

⑭ 公開 昭和64年(1989)2月15日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-200270

⑰ 出 願 昭62(1987)8月11日

⑱ 発 明 者 蚊 野 利 雄 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体基板中に、基板と反対導電型の不純物を有する拡散層を複数個もつ半導体装置において、基板表面から電気的導通をとるための引出し配線はアルミニウムを主体とし、且つ少なくとも基板との接触部には、アルミニウムと基板の反応を抑えるために、Cr、Mo、W、V、Nb、Ta、Ti、Zr、Hfなどの高融点金属又はそれらの化合物、あるいは、これら金属のシリサイド膜、もしくは、ナイトライド膜等の一層又は二層以上のバリアメタルを有し、前記アルミニウムを主体とした、引出し配線中には、これらの高融点金属が固溶限に近い量、含まれていることを特徴とした半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置の電極材料に関する。

(発明の概要)

本発明は、半導体装置の電極配線を構成するにあたり、コンタクト部に形成された金属を、前記電極配線中に含有せしめ、半導体基板と電極配線の反応を抑えたものである。

(従来の技術)

従来の半導体装置を図により説明すれば、第1図において、1は半導体基板、2は基板と反対の導電型を有する拡散層、3は絶縁膜、4はTiあるいはTiN、TiW等のバリアメタル、5は1%Siを含むAl電極である。

(発明が解決しようとする問題点)

しかし、前述の従来技術では、Si含有Alとバリアメタルが反応し、且つ、半導体基板とも反応を起し、電極配線後の熱処理によって、接合リークの原因となっていたものである。第1図によれば、6に示すような反応層を生じ、熱処理の

温度によっては、バリア層があっても、リークを生じさせるものである。

そこで本発明は、このような問題点を解決するもので、その目的とするところは、かなりの高温熱処理がされたとしても、電極材料と半導体基板とは、全く反応しない信頼性の高い半導体装置を提供するところにある。

(問題点を解決するための手段)

本発明の半導体装置は、A₂を主体とした電極配線の材料中に、コンタクト開孔部に形成した、Cr、Mo、W、V、Nb、Ta、Ti、Zr、Hfなどの高融点金属又はそれらの化合物、あるいは、これら金属のシリサイド膜、もしくは、ナイトライド膜等の一層又は二層以上のバリアメタルと同一の高融点金属を、固溶限前後の温度で含有せしめたことを特徴とする。

(作用)

本発明の上記の構成によれば、電極配線材料であるアルミニウム中に、該アルミニウム配線直下に形成されたバリアメタルと同一の金属成分が固

溶限前後の温度で含有しているため、工程途中における熱処理によって、バリアメタルの金属成分が、アルミニウム中に固溶することを防止するものである。

(実施例)

第2図は、本発明の実施例における断面略図であり、本発明を図に従い説明する。

P型シリコン基板8の主表面に、所定の写真食刻技術により、レジストをマスクとして、基板と反対の導電型の拡散層7を作るため、イオン打込み法により、Asを基板中に導入する。この時の打込みエネルギーは、80KeVで、ドーズ量は $6 \times 10^{14} / \text{cm}^2$ であった。次にレジストを剥離し、シリコン基板8の表面に、CVD法により、酸化シリコン膜8を被覆させる。被覆時の温度は350°Cであるが、次の工程でAs⁺イオンを活性化するため、850°CでN₂中20分の熱処理を行なう。次に、シリコン基板8の表面に形成されたn型拡散層7から導通をとるためのコンタクト穴を開孔し、スパッター法により、バリ

アメタルとして、Tiを全面に、2000Åの厚みで積層させ、続いて、1.2%のTiを含有したアルミニウム膜を該Tiの上に、1μの厚みで積層させる。次に、所定のパターンに、アルミニウム及びTiを写真食刻法により、加工し、バリアメタル9とアルミニウム電極配線10を形成させる。

上記実施例では、シリコンn-Pダイオードが形成されたわけであるが、当然、MOS-FET、バイポーラトランジスタ等、半導体基板と反対の導電型を有する拡散層をもち、該拡散層から、導通をとる構造であれば同一とみなすことが出来るものである。

(発明の効果)

以上述べたように、本発明によれば、電極配線であるアルミニウムを主体とした材料中に、バリアメタルを形成している金属と同一の金属を、固溶限前後含有させることにより、バリアメタルとアルミニウムの反応は抑えられ、結果として、アルミニウム電極と半導体基板とは、接触すること

がない。このため、配線電極が、半導体基板表面に形成された反対導電型の拡散層を突き抜け、リークの原因となることはない。加熱温度については、500°C前後に加熱しても、接合特性に変化はなく、良好な結果が得られている。

なお、上記実施例では、バリアメタルとして、Tiを例として示したが、Cr、Mo、W、V、Nb、Ta、Ti、Zr、Hf等一般的にバリアメタルとして使用もしくは、同一の効果を得られる金属又は化合物で実験した結果でも、同様の効果が得られることはもちろんである。又、これら金属のナイトライド膜、あるいは、シリサイド膜についても同様の事が云え、さらには、これらの二層以上の複合膜としても同様であった。

さらに、バリアメタルは、コンタクトホール周辺のみ形成した構造であっても、配線電極であるアルミニウムを主体とした配線直下全部にわたり形成された構造であっても、当然、同一の効果を奏するものである。

4. 図面の簡単な説明

第1図は、従来の半導体装置を示す、主要断面図。

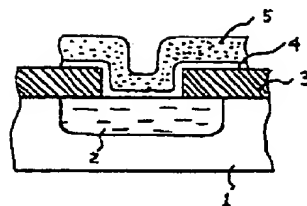
第2図は、本発明の半導体装置の一実施例を示す主要断面図。

- 1 ... 半導体基板
- 2 ... 拡散層
- 3 ... 絶縁膜
- 4 ... バリアメタル
- 5 ... A₂電極
- 6 ... シリコン基板
- 7 ... 拡散層
- 8 ... 酸化シリコン膜
- 9 ... バリアメタル
- 10 ... A₂電極

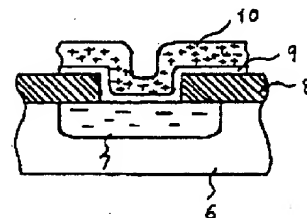
以上

出願人 セイコーエプソン株式会社

代理人 弁理士 最上 務 他1名



第1図



第2図